

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**PAT-NO:** JP404094238A  
**DOCUMENT-IDENTIFIER:** JP 04094238 A  
**TITLE:** ATM EXCHANGE  
**PUBN-DATE:** March 26, 1992

**INVENTOR-INFORMATION:**

NAME	COUNTRY
KUMAKI, YOSHINARI	
SHOHATA, YASURO	

**ASSIGNEE-INFORMATION:**

NAME	COUNTRY
TOSHIBA CORP	N/A

**APPL-NO:** JP02209335

**APPL-DATE:** August 9, 1990

**INT-CL (IPC):** H04L012/48

**US-CL-CURRENT:** 370/349, 370/FOR.160

**ABSTRACT:**

**PURPOSE:** To facilitate the timing design in the inside of a cell switch by generating a 2nd information packet with transmission control information added thereto in a way that the length of the 2nd information packet is a least length of 2's power in excess of the length of a 1st information packet and using an information packet processing section so as to eliminate the added transmission control information.

CONSTITUTION: The exchange consists of an input channel number  $M$ , a pre-processing section 101 adding information up to a cell length  $2\alpha$  of a least 2's power in excess of a cell length  $L$  and accommodating the input channel number  $M$ , a cell switch 103 to make routing for a cell whose length is  $2\alpha$  by the pre-processing section 101, a post-processing section 102 to remove transmission control information to make the cell length  $2\alpha$  to a cell length  $L$  again, and an ATM control section 104 controlling the pre-processing section 101 and the post-processing section 102. Thus, the 2nd information packet whose length is a least length of 2's power in excess of the length of the 1st information packet is sent. Thus, the timing design in the case of making transmission of the information packet in the inside of the cell switch is facilitated.

COPYRIGHT: (C)1992,JPO&Japio

## ⑫ 公開特許公報(A) 平4-94238

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月26日

H 04 L 12/48

7830-5K H 04 L 11/20

Z

審査請求 未請求 請求項の数 1 (全11頁)

⑭ 発明の名称 ATM交換機

⑯ 特 願 平2-209335

⑰ 出 願 平2(1990)8月9日

⑱ 発 明 者 熊 木 良 成 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑲ 発 明 者 正 畑 康 郎 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑳ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 則近 憲佑

## 明 細 書

## 1. 発明の名称

ATM交換機

## 2. 特許請求の範囲

(1) 所定の情報を同期させて伝送するための第1の情報パケットに、この第1の情報パケットの長さを越える最も小さな2のべき乗の長さになるよう伝送制御情報を付加した第2の情報パケットを生成するための情報パケット生成部と、

前記第2の情報パケットの伝送を行なうためのセルスイッチと、このセルスイッチで伝送された前記第2の情報パケットの内、前記伝送制御情報を取り除く情報パケット処理部とを備えたことを特徴とするATM交換機。

## 3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、複数の入力通信路と複数の出力通信路を接続するATM交換機に関する。

(従来技術)

近年、通信に必要な情報伝達能力を呼設定時に確保しておくSTM(Synchronous Transfer Mode)と呼ばれる伝送モード(既存の電話網で使用中)に代わって、通信端末が必要となき通信網の情報伝達能力を使用するATM(Asynchronous Transfer Mode)に対する関心と期待が高まっている。

ATMは、セルと呼ばれる固定長の短パケットを用いて情報を伝達し、各通信端末では必要に応じて通信網にデータセルを渡すこと、即ち通信端末が必要となき通信網の情報伝達能力を使用する事を特徴とする伝送モードである。

STMと比較してATMには、通信端末が必要とする任意の情報伝達速度を通信端末に提供できること、通信端末が必要とするときのみ通信網の情報伝達能力を使用するため通信効率が向上すること、といった利点があるため、ATMは、音声、データ、動画などを一元化して扱うことができる通信網、即ちB-ISDN網を構成する基本技術として脚光を浴びている。

この様なB-ISDN網を実現するために必要な各通信端末間の切り換えを行なうATM交換機の構成例を第9図に示す。

第9図に示すATM交換機100は各入力通信路910<sub>1</sub>～910<sub>M</sub>に接続される複数の前処理部1001<sub>1</sub>～1001<sub>M</sub>と、各出力通信路910<sub>1</sub>～910<sub>M</sub>に接続される複数の前処理部1002<sub>1</sub>～1002<sub>M</sub>と、これら前処理部1001<sub>1</sub>～1001<sub>M</sub>と後処理部1002<sub>1</sub>～1002<sub>M</sub>との間に介挿されるセルスイッチ1003と、前記前処理部1001<sub>1</sub>～1001<sub>M</sub>及び後処理部1002<sub>1</sub>～1002<sub>M</sub>を制御するATM制御装置1004とを備える。なお、Mは入力通信路数及び出力通信路数を表わす。前記ATM交換機1000は各入力通信路を介して供給されるセルを取り込みながら、これらを指定された出力通信路に振り分ける。この際、各入力通信路910<sub>1</sub>～910<sub>M</sub>から前処理部1001<sub>1</sub>～1001<sub>M</sub>に入力されるセルは前処理部1001<sub>1</sub>～1001<sub>M</sub>において、セルスイッチ1003内でのローカルなルーティングを行うのに用いられる方路情報(ルーティング・タグ)をヘッダ変換テーブルから取り込む。そして、セルスイ

ッチ1003において、前処理部1001<sub>1</sub>～1001<sub>M</sub>において取り込まれたルーティング・タグに従ってデータセルが所望の出力通信路に出力される。

現在、CCITT (International Telegraph and Telephone Consultative Committee: 国際電信電話諮問委員会) において、B-ISDN網に関する標準化の作業が勧められており、このCCITTの勧告によりATMの基本パラメータに関して以下の合意が得られた。すなわち、T点の伝送速度は155.520Mbps、伝送容量は149.760Mbps、セル長は53byteで、そのうちセルのヘッダが5byte、情報フィールドが48byteということが勧告された。

ユーザー網インターフェース、網間インターフェースでは、勧告に従ってセル長を53byteにすることが要求される。しかし、ATM交換機1000内部では、勧告されたセル長(=53byte)で交換する必要はない。実際、勧告されたセル長でセルのスイッチングを行う場合、ATM交換機1000から入出力されるセル長は53byteと2のべき乗の数でないため、タイミング設計にセルスイッチ1003内

部のシステムクロックを分周したクロックを用いるのが困難であるという問題点があった。また、勧告されたセル長53byteのセルを複数回に分けて分割転送する場合、統一的なアルゴリズムでセル転送を行うことが困難であるという欠点があった。この欠点をなくすために、小崎他、電子情報通信学会技術研究報告、IN-89-103、「共通バッファ型ATMスイッチのLSI構成法」P.49～P.54に示されるように、ATMスイッチ内では、ヘッダ長を6バイトとしてセル長54バイトなるセルとすることにより単位スイッチ内でのセル処理を容易にしようとするものが提案されている。しかし上記提案によっても、セル長54byteのセルを例えば、セルを8byte単位に分割転送する場合、最初の6回は、8byteをそのままRAM等に蓄積すればよいが、最後の一回は、この場合6byteをRAMに取り込むことにより、アルゴリズムが複雑になるためである。

(発明が解決しようとする課題)

上述したように、ATM交換機から入出力さ

れるセル長は53byteと2のべき乗でないため、セルスイッチ内部でのタイミング設計が複雑になるという問題点があった。

本発明は、上記の問題点を解決するためになされたもので、その目的とするところは、複数の入力通信路と複数の出力通信路とを接続するATM交換機において、セルスイッチ内部でのタイミング設計を容易におこなうことができるATM交換機を提供することにある。

(発明の構成)

(課題を解決するための手段)

上述した目的を達成するために、本発明のATM交換機は、所定の情報を同期させて伝送するための第1の情報パケットに、この第1の情報パケットの長さを越える最も小さな2のべき乗の長さになるよう伝送制御情報を付加した第2の情報パケットを情報パケット生成部で生成し、この第2の情報パケットをセルスイッチで伝送し、このセルスイッチで伝送された前記第2の情報パケットの内、前記情報パケット生成部で付加された伝

送制御情報を情報パケット処理部で取り除くことを特徴とするものである。

#### (作用)

上述した構成をとる本発明のATM交換機によれば、情報パケット生成部及び情報パケット処理部間にあるセルスイッチでは、情報パケット生成部による伝送制御情報の付加により、第1の情報パケットの長さを越える最も小さな2のべき乗の長さになる第2の情報パケットの伝送を行なうことができる。この結果、セルスイッチ内部での情報パケットの伝送を行なう際のタイミング設計を容易にすることができる。

#### (実施例)

以下、図面を参照して本発明の一実施例を説明する。

第1図は、本発明の一実施例であるATM交換機の構成を示すブロック図である。第1図に示したATM交換機は、入力通信路数M、出力通信路数Mを収容し、セル長Lを越える小さな2のべき乗のセル長 $2^a$ まで情報を付加する前処理部101と

前処理部101によりセル長 $2^a$ となったセルのルーティングを行うセルスイッチ103と、セル長 $2^a$ を再びセル長Lとするための伝送制御情報の削除を行う後処理部102と、前処理部101と後処理部102を制御するATM制御部104とから構成される。

前処理部101<sub>1</sub>～101<sub>N</sub>は、各入力通信路から入力されたセル(セル長L=53byte)をセル長Lを越える最も小さな2のべき乗のセル長 $2^a=64\text{byte}$ となるまで情報を付加する。この際、第2図に示すセルの構成図のようにセル長を長くしたことにより生じる空き領域202～207( $2^a-L$ )=11byteは、ATM交換機の制御に利用する伝送制御情報を付与する領域として利用しても良い。なお、第2図に示す201はセル長Lなるセルである。

以下に、ATM交換機100の制御に用いる伝送制御情報の例について述べる。

(I) セルスイッチ103が自己ルーティングスイッチとして構成される場合には、セルスイッチ103内部でのルーティングを行うのにルーティング・タグを付与する必要がある。空き領域202～

207( $2^a-L$ )のうち一部は、上記ルーティング・タグを付与する領域であるルーティングタグフィールド205として利用することができる。

(II) 空き領域202～207( $2^a-L$ )は、セルスイッチ103が、セルスイッチ103内部での転送におけるセル種別を識別するためのセル種別識別フィールドとして利用することができる。セル種別としては例えば以下に示すようなものが考えられる。すなわち、

#### 1) 放送用セル/通常セル 2) 空セル

ここで、放送用セルとは、セルスイッチ103が、放送機能、すなわち1対M通信を実現する機能を持つような場合に放送を行うセルであり、通常セルとは1対1通信を行うセルである。また、空セルとはユーザーからの有意情報ではないセルである。そして、今、206を放送/通常セル表示ビット、207を空セル表示ビットとする。

(III) 空き領域202～207( $2^a-L$ )は、セルスイッチ103が、セルスイッチ103内部でのサービスクラス(例えば出力優先順位)を識別するための情

報フィールドとして利用することができる。そして、今、203をサービスクラス表示フィールドとする。

(IV) セルスイッチ103が放送機能を持つような構成の場合、セルのコピー数情報をセルスイッチ103内部に転送する必要がある。空き領域202～207( $2^a-L$ )をセルスイッチ103がセルのコピー数を把握するための情報フィールドとして利用することができる。

(V) セルスイッチ103では、セルスイッチ103内部でのセルの最大遅延時間を保証するために、セルスイッチ103内部でのセル遅延時間を把握し、セル遅延時間があるいきい値を越えたら、セルを優先的に出力することが重要である。したがって空き領域202～207( $2^a-L$ )は、セルスイッチ103が、セルの遅延時間を把握するための情報として、各入力通信路から入力されたセルの入力時からの遅延時間を示す情報を付加するための情報フィールドとして利用することができる。そして、今、202を遅延時間表示フィールドとする。

(VI) 空き領域202~207( $2^a - L$ )は、セルスイッチ103が、セルスイッチ103内部のトラフィック状態、各入力通信路別のトラフィック状態を把握することができるようにするため入力通信路番号を付与する情報フィールドとして利用することができる。そして、今、204を入力通信路番号表示フィールドとする。そして、今、204を入力通信路番号表示フィールドとする。

入力通信路別のトラフィック状態を把握する方法としては、例えばセルスイッチ103内部に各入力通信路別のカウンタを持ち、このカウンタにより、各入力通信路別の入力セル数を監視することにより行っても良い。この場合、各入力通信路対応に設けられたカウンタの動作は、そのカウンタに対して割り当てられた入力線からセルが入力された時は、カウンタの値をインクリメントし、対応する入力通信路のセルが出力通信路から出力される時はカウンタの値をデクリメントするようにすれば良い。

以上のように、前処理部101<sub>1</sub>~101<sub>N</sub>において、

bitシフトレジスタ401、16bitデータレジスタ402は入力通信路数Mだけある。

MUX 1の動作は、次のようなアルゴリズムにより行われる。

① 入力通信路900<sub>1</sub>~900<sub>N</sub>から入力されるセル200を1bitずつシフトさせ、最初の16bit分を16bitシフトレジスタ401に取り込む。

② 16bitシフトレジスタ401に16bit分のデータが蓄積された時点で16bitデータレジスタ402にデータをラッチする。

③ 16bitデータレジスタ401をクロックで順次たたくことによって16bitパラレルデータがデータバス403を介してセル蓄積部3に転送される。

①~③の操作を32回繰り返すと各入力通信路900<sub>1</sub>~900<sub>N</sub>から1セルずつセル蓄積部3に入力されることになる。

MUX 1の動作はセル長が6byteの場合には上述のようなアルゴリズムで実現できるが、セル長が53byteの場合には、上述のアルゴリズムよりも複雑なアルゴリズムになる。例えばセル長が53by

セル201は、セル長L=53byteからセル長 $2^a=64$ byteのセル200とした後、セルスイッチ103に入力される。

第3図は上述した機能を実現するセルスイッチ103の構成の一例を示す図である。以下に第3図の詳細な説明を行う。

セルスイッチ103は、前処理部101<sub>1</sub>~101<sub>N</sub>からセル200を受け取り、MUX 1を介して時分割でセル蓄積部3の空き領域にセル200を蓄き込み、ルーティングタグフィールド205のルーティングタグ情報に基づきDMUX 8を介して所望の出力通信路にセルが出力されるように動作する。

MUX 1は、入出力制御部4から与えられるタイミングに基づき、入力通信路から入力されるセルを時分割に選択しセル蓄積部3に出力するものである。第4図はMUX 1の構成を示すブロック図である。第4図に示すように、MUX 1は、例えば16bitシフトレジスタ401に16bit蓄積された時点でデータをラッチする16bitデータレジスタ402及びデータバス403から構成される。なお、16

teの場合には次のようなアルゴリズムでMUX 1を実現することができる。

入力通信路900<sub>1</sub>~900<sub>N</sub>から入力されるセルを1bitずつシフトさせ、セルを入力し初めてから26回は16ビット分をシフトレジスタに取り込んだ時点で16bitデータレジスタにデータをラッチし、16bitデータレジスタをクロックで順次たたくことによって16ビットパラレルデータをセル蓄積部3に出力する。

次に27回目はシフトレジスタに8bit分のデータが取り込まれた時点で16ビットデータレジスタにデータをラッチし、下位8ビット分のデータのみをセル蓄積部3に出力する。

上述したようにセル長が53byteの場合、セルの分割転送が統一的なアルゴリズムを用いて実現することができないためタイミング設計が困難になるという欠点がある。これに対してセル長が64byteの場合にはセルの分割転送が統一的なアルゴリズムを用いて実現することができるためタイミング設計が容易になるという長所がある。

また、セル長が64byteの場合にはセル蓄積部3の読みだし/書き込み速度に応じて、セル分割転送幅を16bit, 32bit, 64bit, 128bit パラレルと、ように柔軟に変えることができるという長所がある。

第5図に示すようにトラフィック監視部2は、各入力通信路別のトラフィック状態を監視する入力線90<sub>1</sub>~90<sub>N</sub>用トラフィックカウンタ11~1N、および入力線90<sub>1</sub>~90<sub>N</sub>用トラフィックカウンタのいずれかのカウンタ値がオーバーフローしたことを検出するトラフィックカウンタキャリ検出用回路10から構成される。

入力線90<sub>1</sub>~90<sub>N</sub>用トラフィックカウンタ11~1Nは、各入力線90<sub>1</sub>~90<sub>N</sub>対応に設けられ、各入力線90<sub>1</sub>~90<sub>N</sub>からのセルのトラフィック量を監視するカウンタである。セル入力時には、MUX1を介してセル蓄積部3に入力されたセルの入力線番号を比較器590<sub>1</sub>~590<sub>N</sub>で比較し対応する入力線用90<sub>1</sub>~90<sub>N</sub>用カウンタ11~1Nの値がインクリメントされる。また、セル出力時には、セル蓄積部3か

ら出力されるセルの入力線番号を比較器595<sub>1</sub>~595<sub>N</sub>で比較し対応する入力線90<sub>1</sub>~90<sub>N</sub>用カウンタ11~1Nの値がデクリメントされる。ここで、入力線90<sub>1</sub>~90<sub>N</sub>用トラフィックカウンタ11~1Nは、セル蓄積部3に滞在している各入力線90<sub>1</sub>~90<sub>N</sub>対応のセル数を記憶している。

トラフィックカウンタキャリ検出用回路10は、入力線90<sub>1</sub>~90<sub>N</sub>用トラフィックカウンタ11~1Nのいずれかのカウンタ値がオーバーフローしたことを検出し、オーバーフローしたカウンタの入力線番号を後述する出力順位表示部6に出力する回路である。

再び第3図にもとづくセル蓄積部3は、入出力制御部4からのセル書き込みタイミングに基づき、64byteのセルを空き領域に蓄積するメモリである(セル蓄積部3にセルが蓄積されていないときは遅延時間表示カウンタの値を0にセットしておくことによりセルが蓄積されていないことを示す)。セルが入力されるアドレスは、セル蓄積部3のアドレス対応に設けられた遅延時間表示カウンタ5

の値が0であるアドレスのうちの最小値を選択することによって決定される。このようにセルの入力されるアドレスの決定を行う場合、遅延時間表示カウンタ5の値はセルが入力されると、前処理部101にセルが入力された時点からの遅延時間がセットされる。この際に遅延時間表示カウンタ5にセットされる値は、前処理部101で一旦バッファリングされてからセル蓄積部3に転送されるため必ず1以上の値となるので、遅延時間表示カウンタ5の値が0であることを用いて、セルが蓄積されていない領域を示すことができる。これは遅延時間表示カウンタ5の値を後述のようにセル入力時にリセットする場合にはサービスクラスが0であるアドレスのうちの最小値を選択する。これはサービスクラスが例えば出力優先順位を表わす場合には、出力優先順位の高い順に出力するということを表わす。そして、セルから転送されてくるサービスクラスとして0を用いず、セル蓄積部3にセルが蓄積されていない時はサービスクラスを0にセットする。すると、セルスイッチ103内

部での遅延時間のみに基づいてセルの出力が行われることになる。また、セル蓄積部3は、入出力制御部4にバッファ状態信号(EMPTY;セル蓄積部3内部にセルが蓄積されていない状態を示す、NORMAL;セル蓄積部3にセルが蓄積されており、新たにセルを書き込むことができる状態を示す、FULL;セル蓄積部3にこれ以上セルを蓄積できない状態を示す)を表示する。

入出力制御部4は、MUX1、DMUX8、出力順位表示部6、出力アドレス決定部7にタイミングを与え、セル蓄積部3にセルを入出力するタイミングを与える。

なお、入出力制御部4は、前述のバッファ状態信号に基づきセルの入出力を行う。バッファ状態信号がEMPTYの場合には、セル出力抑制をかける。また、バッファ状態信号がFULLの場合には、セル入力抑制をかける。また、バッファ状態信号がNORMALの場合には、セル入力抑制もセル出力抑制もかからずセルの入出力を行うことができる。

遅延時間表示カウンタ5は、セル蓄積部3のアド



ドレス対応に設けられた各セルの遅延時間を表示するカウンタであり、セル蓄積部3にセルが蓄積されていないときは0にセットされている。また、セルがセル蓄積部3に入力されると、入力されたセルの遅延時間表示フィールド値が蓄積されたアドレスに対応する遅延時間表示カウンタ5にセットされる。

また、遅延時間表示カウンタ5は、1出力サイクルすぎるとカウンタ値が0でないカウンタに限りカウンタ値（すなわちセル蓄積部3のセルが蓄積されているアドレスに対応する遅延時間表示カウンタ5の値）がインクリメントされる。

また、セル蓄積部3のアドレスにセルが蓄積されているか否かをセルのサービスクラスが0であることにより示す場合、セルがセル蓄積部3に入力されると、セルが入力されたアドレスに対応する遅延時間表示カウンタ5がリセットされ、1出力サイクルすぎるとサービスクラスが0でない遅延時間表示カウンタ5の値がインクリメントされるようにしてもよい。ここで、セル蓄積部3から

1セル出力するのに必要な時間を1/M出力サイクルと定義し、M回セルを出力するのに必要な時間を1出力サイクルと定義する。

また、セル蓄積部3からセルが出力されると、出力されたセルのアドレスに対応する遅延時間表示カウンタ5の値が入出力制御部4によりクリアされる。

第6図に出力順位表示部6の構成を示す図である。第6図に示すように出力順位表示部6は、遅延時間カウンタオーバーフロー信号表示部61、トラフィックカウンタオーバーフロー信号表示部62、サービスクラス表示部63から構成されている。このうち遅延時間カウンタオーバーフロー信号表示部61は、遅延時間表示カウンタ5の値がオーバーフローした際に、そのオーバーフローした遅延時間表示カウンタ5に対応したビットを1セットする。

トラフィックカウンタオーバーフロー信号表示部62は、セル蓄積部3のアドレス対応に設けられ、入力線90<sub>1</sub>～90<sub>N</sub>用トラフィックカウンタ11～1Nが

オーバーフローした際に、入力通信路番号を比較器390<sub>1</sub>～390<sub>N</sub>と比較して対応する入力通信路番号をもつセルが蓄積されているセル蓄積部3のアドレスに対応するトラフィックカウンタオーバーフロー信号表示部62のビットを1にセットする。

サービスクラス表示部63は、セル蓄積部3の各アドレス対応に設けられており、セルが入力される時に、第2図に示したサービスクラス表示フィールド203の値をセットし、出力アドレス決定部7にサービスクラスを表示する。セル蓄積部3にセルが蓄積されていない場合は、サービスクラス表示部63の値、遅延時間カウンタオーバーフロー信号表示部61の値、トラフィックカウンタオーバーフロー信号表示部62の値、遅延時間表示カウンタ5の値がクリアされている。

第7図に出力順位表示部6の表示している出力順位信号700を示す。第7図では最上位ビットに遅延時間表示カウンタ5がオーバーフローした時のキャリ信号なる遅延時間オーバーフロー信号701、最上位から2番目のビットにトラフィック監視部

2のトラフィックカウンタキャリ検出回路10がオーバーフローした時のキャリ信号なるトラフィックカウンタオーバーフロー信号702、及びその下位ビットにサービスクラス表示ビットパターンなるサービスクラス信号703としている。そしてこの出力順位信号700を出力アドレス決定部7に出力する。

第8図は出力アドレス決定部7の構成を示す図である。第8図に示すように、出力アドレス決定部7は、アドレスデコーダ部71、出力線95<sub>1</sub>～95<sub>N</sub>に対応して設けられている出力アドレス蓄積部72、MUX73から構成されている。

出力アドレス決定部7は、出力順位表示部6からの出力順位信号700に基づき、セル蓄積部3から出力するセルのアドレスをそれぞれ出力線95<sub>1</sub>～95<sub>N</sub>に対して決定し、そのアドレスを蓄積し、入出力制御部4から与えられるタイミングに基づきMUX73を切り換えることによってセル蓄積部3から各出力線95<sub>1</sub>～95<sub>N</sub>へ出力されるべきセルの出力アドレスを表示する。

また、出力アドレス決定部7は、セルがセル蓄積部3から出力されたら、出力されたセルの出力線 $95_1 \sim 95_N$ に対応する出力アドレス蓄積部72の更新を行う。出力されたセルの出力線 $95_1 \sim 95_N$ に対応する出力アドレス蓄積部72の更新は、セル蓄積部3に蓄積されている同じ出力線 $95_1 \sim 95_N$ を持つセルのうち最も出力順位の大きいセルのアドレスを選択し、出力線 $95_1 \sim 95_N$ に対応する出力アドレス蓄積部72にアドレス値を書き込むことにより行われる。

アドレスデコーダ部71は、出力順位表示部6からの出力順位信号700に基づき、セル蓄積部3から出力するセルのアドレスをそれぞれ出力線 $95_1 \sim 95_N$ に対して決定する。出力されるセルのアドレス決定アルゴリズムは、たとえば、次のようなものでも良い。すなわち、同じルーティング・タグを持つセルのうち、前述の出力順位信号700の値が最大のものを選択し、セルを出力するようなアルゴリズムでも良い。この場合、出力順位信号700の値が同じになるセルが複数存在する場合が

づき出力する。

DMUX8は、入出力制御部4から与えられるタイミングに基づき、順次出力通信路と接続を行うセクタであり、セル蓄積部3から出力されたセル所望の出力線 $95_1 \sim 95_N$ に時分割で出力される。

このようにしてセルスイッチ103からセル長 $2^Q$ のセルが出力され、後処理部102に入力される。

後処理部102 $_1 \sim 102_N$ は、セルスイッチ103の各出力線 $95_1 \sim 95_N$ からのセル200(セル長 $2^Q = 64$  byte)をセル長L(=53byte)なるセル201に変換し出力通信路 $905_1 \sim 905_N$ に出力する。これはセル200のうちセル201以外の情報を削除する。

また、遅延時間表示カウンタ5の値がオーバーフローした際に、出力順位を上昇せずに遅延時間表示カウンタ5の値をクリアし、対応するセル蓄積部3にセルをオーバーライト可能な状態(すなわちセル廃棄を行った状態)にしても良い。

また、セルスイッチ103をスイッチモジュールの多段接続によって大規模化することを考えた場合、スイッチモジュール間でセル同期を取り直す

あると考えられるが、その場合には、アドレス値が最少のセルを出力すれば良い。また、遅延時間、トラフィック量を出力アドレス決定部7に表示しておけば、出力順位信号700が最大となるセルが複数個存在する場合に遅延時間の最大のセルを出力したり、トラフィック量の最大のセルを出力することもできる。

出力アドレス蓄積部72は、各出力線 $95_1 \sim 95_N$ に対応して設けられており、各出力線 $95_1 \sim 95_N$ から次に出力されるセルのアドレスを蓄積しているレジスタであり、入出力制御部4から与えられるタイミングに基づき、アドレスデコーダ部71が決定したアドレスを蓄積する。

MUX73は、入出力制御部4から与えられるタイミングに基づき、出力アドレス蓄積部72が表示している出力アドレスを時分割で、順次選択するセクタである。

セル蓄積部3は、上記したようなアルゴリズムによって決定されたアドレスに蓄積されているセルを入出力制御部4から与えられるクロックに基

必要が生じてくると考えられる。また、セルスイッチ103が大規模化してくると、セルスイッチ103に一つのクロックを分配して、同期系でセルスイッチ103全体を動作させることが困難になると考えられる。このようなことから、空き領域202~207( $2^Q - L$ )は、セルスイッチ103内部でセル同期を取り直すことができるように同期パターンを付与する領域として利用することも考えられる。

なお、本発明は上述した実施例に限定されるものではない。本実施例では、セル200の構成を第2図に示したものを一例として説明してきたが、空き領域202~207( $2^Q - L$ )の利用順序はこれに限定されず、設計者が自由に設定できる。

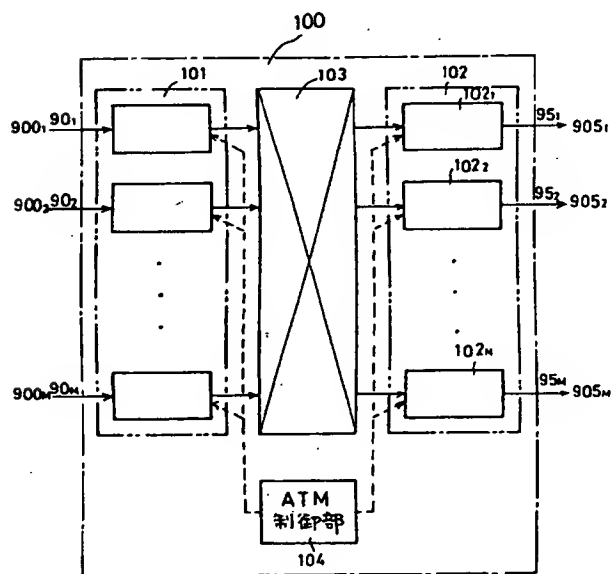
#### 【発明の効果】

以上説明したように、本発明のATM交換機によると、セルスイッチ内部では、セル長が2のべき乗の長さまで情報が付加されているので、セルを分割転送を行ったり、セルの情報パケット生成部により入出力を行う際のタイミング設計が容易にすることができる。

#### 4. 図面の簡単な説明

第1図は本発明のATM交換機による一実施例に係わるセルスイッチの構成を示すブロック図、第2図はセルスイッチに入力されるセル構成を示した図、第3図はセルスイッチの構成を示すブロック図、第4図はMUX 1の構成を示したブロック図、第5図はトラフィック状態監視部の構成を示したブロック図、第6図は出力順位表示部の構成を示すブロック図、第7図は出力順位信号の構成を示した図、第8図は出力アドレス決定部の構成を示すブロック図、第9図は従来のATM交換機の構成図である。

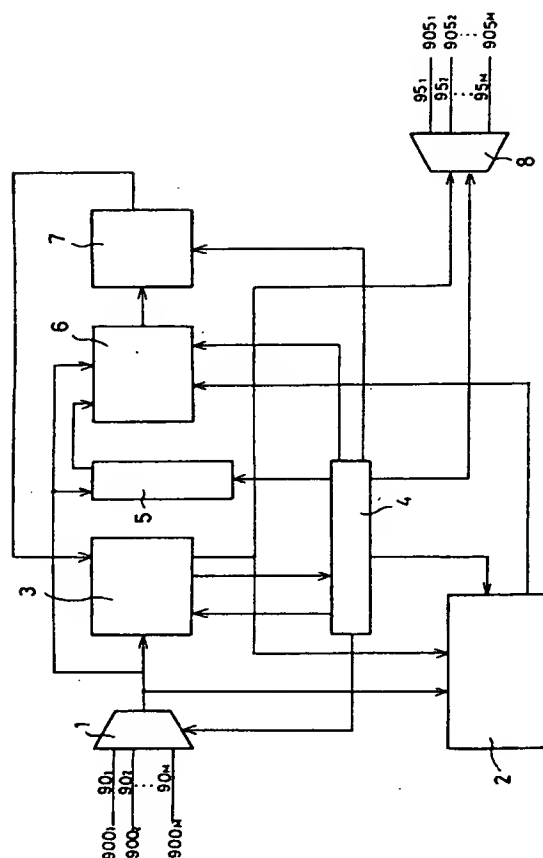
- 1…MUX
- 2…トラフィック監視部
- 3…セル蓄積部
- 4…入出力制御部
- 5…遅延時間表示カウンタ
- 6…出力順位表示部
- 7…出力アドレス決定部
- 8…DMUX



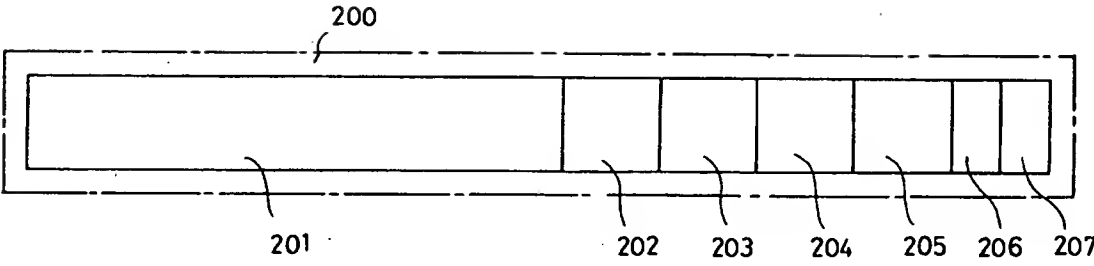
第 1 図

- 10…トラフィックカウンタキャリ検出回路
- 11～1M…入力線90<sub>1</sub>～90<sub>M</sub>用トラフィックカウンタ
- 61…遅延時間オーバーフロー信号表示部
- 62…トラフィックカウンタオーバーフロー信号表示部
- 63…サービスクラス表示部
- 71…アドレスデコーダ部
- 72…出力アドレス蓄積部
- 73…MUX
- 101<sub>1</sub>～101<sub>M</sub>…前処理部 (情報パケット生成部)
- 102<sub>1</sub>～102<sub>M</sub>…後処理部 (情報パケット処理部)
- 103…セルスイッチ
- 104…ATM制御装置

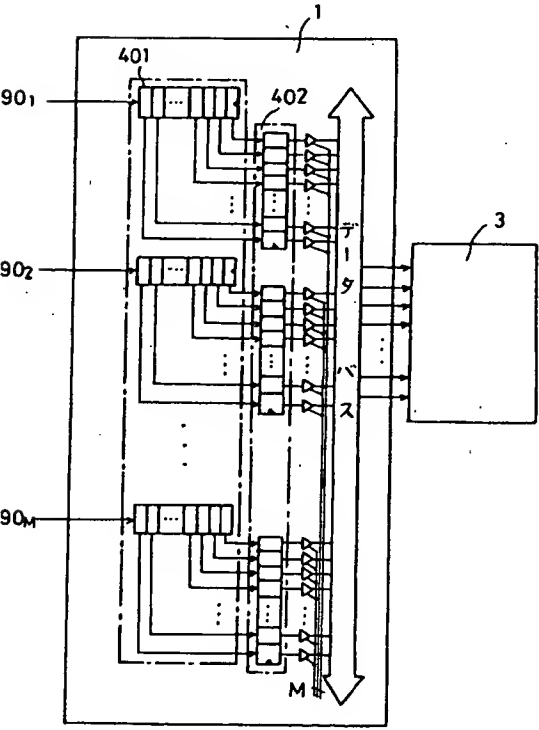
代理人 井理士 則 近 憲 佑



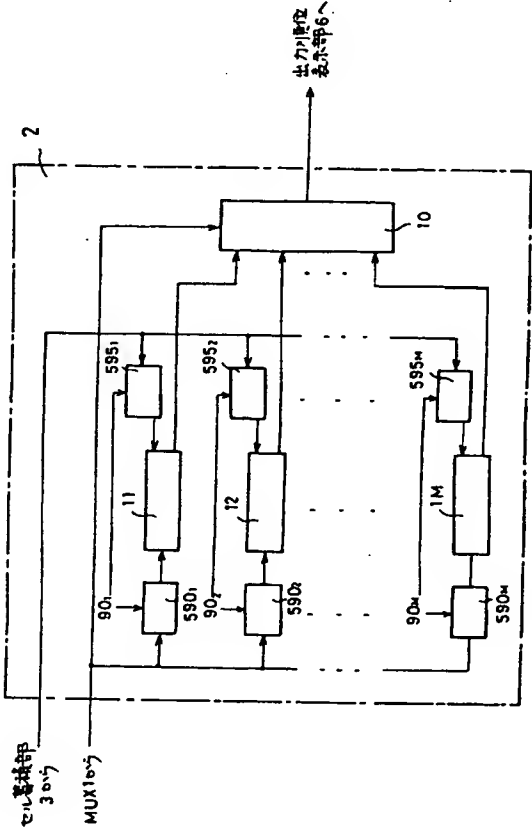
第 3 図



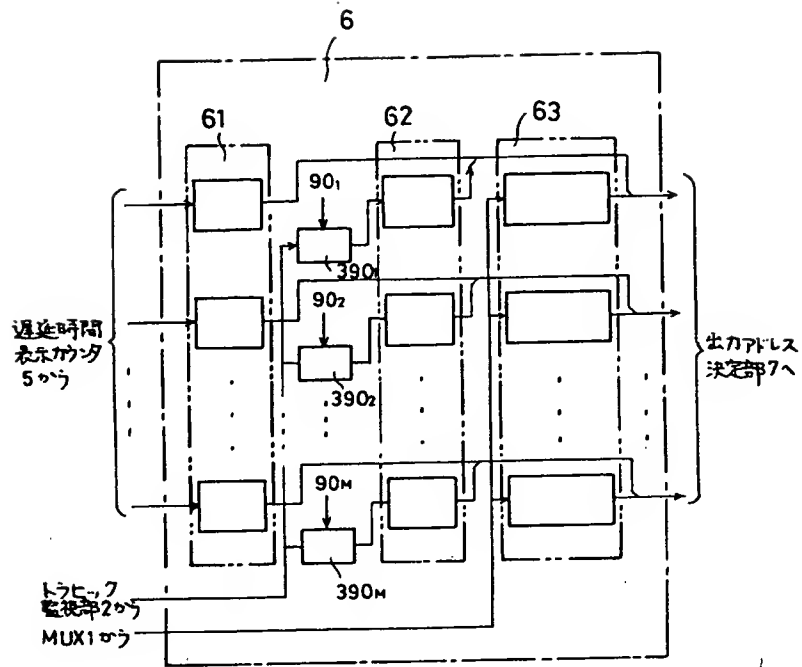
第 2 図



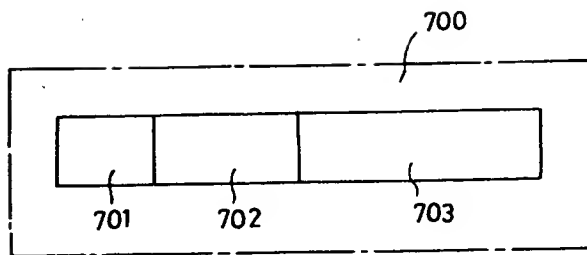
第 4 図



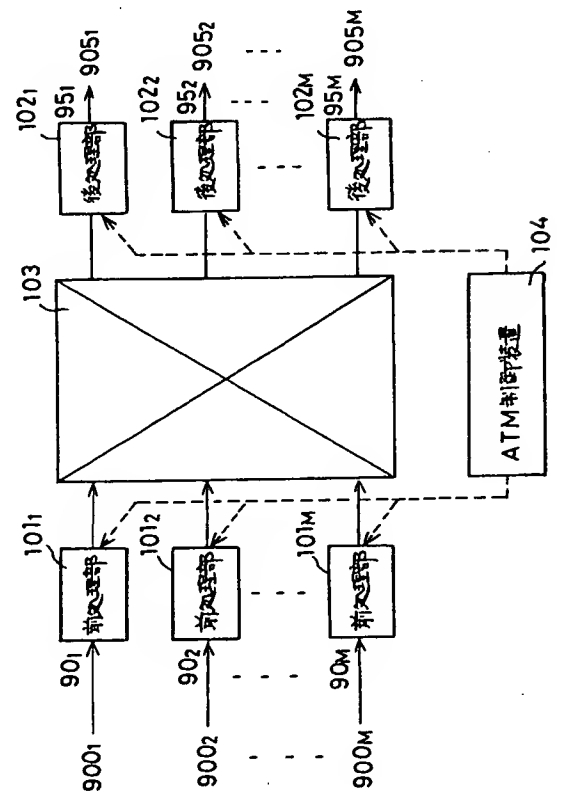
第 5 図



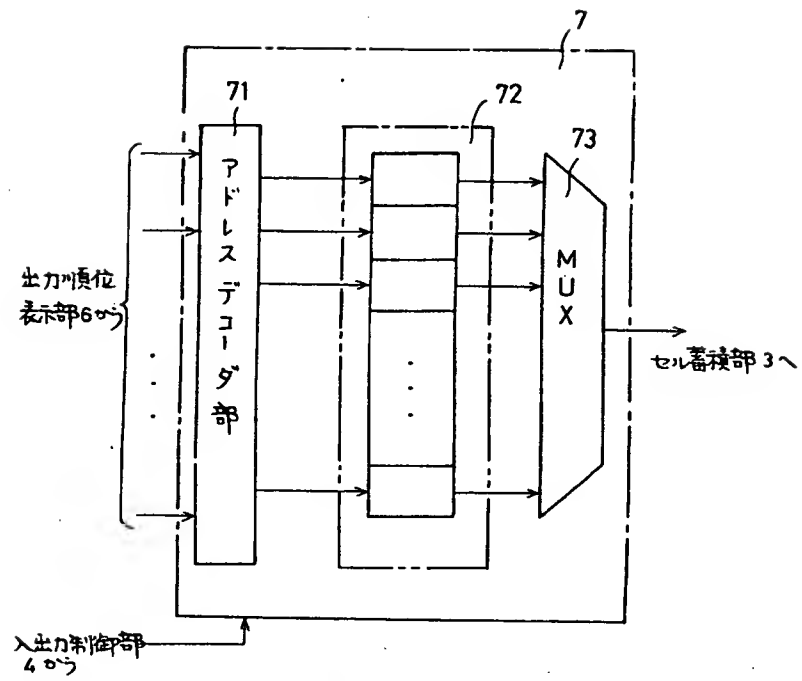
第 6 図



第 7 図



第 9 図



第 8 図